

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-007372

(43)Date of publication of application : 11.01.2002

(51)Int.Cl.

G06F 15/78
G06F 12/14
G11C 16/02

(21)Application number : 2000-186733

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 21.06.2000

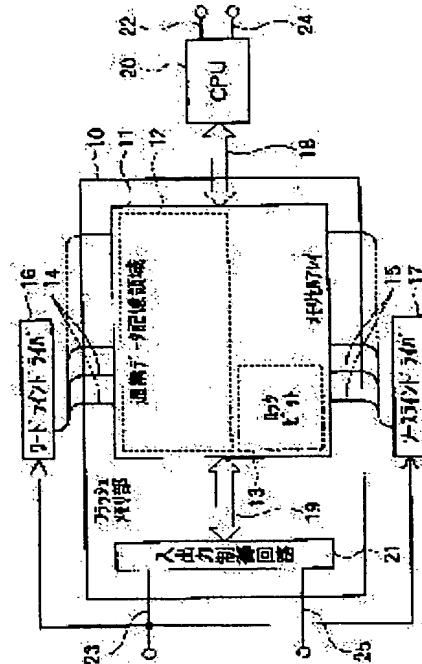
(72)Inventor : KAMEI TERUHIKO

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device capable of performing direct access to an incorporated non-volatile memory and preventing data stored in the non-volatile memory from being illegally read.

SOLUTION: Most of a large number of memory cells provided in a memory cell array 11 form an ordinary data storage area 12 and a part of these memory cells forms a lock bit 13, on the other hand, When lock data are not stored in the lock bit 13, an input/output control circuit 21 permits the read of ordinary data, which are stored in the ordinary data storage area 12, from the outside and when the lock data are stored in the lock bit 13, on the other hand, the input/output control circuit 21 inhibits the read of the ordinary data, which are stored in the ordinary data storage area 12, from the outside.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

PATENT LAID-OPEN (A)

No. 2002-7372

(P2002-7372A)

January 11, 2002

Application No.:	2000-186733 (P2000-186733)		
Filing Date:	June 21, 2000		
Applicant:	Seiko Epson Corporation		
Inventor:	T. Kamei		
Agent:	M. Kamiyanagi		
	Patent attorney (and one other)		
Int. Cl ⁷ :	G 06 F	15/78	510
		12/14	310
	G 11 C	16/02	

(54) [Title of the Invention]

SEMICONDUCTOR DEVICE

(57) [Abstract]

[Object] To provide a semiconductor device which can directly access a built-in non-volatile memory and can prevent illegitimate reading of data stored in the non-volatile memory.

[Solving Means] While most of multiple memory cells included in a memory cell array 11 form a normal data memory area 12, some of them form a lock bit 13. When lock data is not stored in the lock bit 13, an input/output control circuit 21 permits external reading of normal data stored in the normal data memory area 12, whereas when lock data is stored in the lock bit 13, the input/output control circuit 21 inhibits external reading of normal data stored in the normal data memory area 12.

[SCOPE OF CLAIM FOR PATENT]

[CLAIM 1]

A semiconductor device characterized by comprising:
a non-volatile memory cell array which includes a normal data memory area, formed by a plurality of memory cells, for storing normal data and a lock bit, formed by at least one memory cell, for storing lock data for inhibiting external reading of the normal data stored in said normal data memory area, and has two input/output systems;

a logic circuit which is connected to said non-volatile memory cell array via one input/output system and reads the normal data from said normal data memory area; and

a control circuit which is connected to said non-volatile memory cell array via the other input/output system and permits the normal data stored in said normal data memory area to be output to an outside when the lock data is not stored in the lock bit, but inhibits the normal data stored in said normal data memory area from being output to the outside when the lock data is stored in the lock bit.

[CLAIM 2]

The semiconductor device according to claim 1, characterized in that said normal data memory area and said lock bit are erased at a time by a common erase command.

[CLAIM 3]

The semiconductor device according to claim 1 or 2, characterized in that said normal data memory area and said lock bit are included in a same non-volatile memory section.

[DETAILED DESCRIPTION OF THE INVENTION]

[0001]

[Field to Which the Invention Belongs]

The present invention relates to a semiconductor

device, and, particularly, to a semiconductor device, such as a system LSI (Large Scale Integrated Circuit) or ASIC (Application Specific Integrated Circuit), which has a non-volatile memory like a flash memory mounted therein.

[0006]

[Means for Solving the Problems]

To solve the problems, a semiconductor device according to the present invention comprises a non-volatile memory cell array which includes a normal data memory area, formed by a plurality of memory cells, for storing normal data and a lock bit, formed by at least one memory cell, for storing lock data for inhibiting external reading of the normal data stored in the normal data memory area, and has two input/output systems; a logic circuit which is connected to the non-volatile memory cell array via one input/output system and reads the normal data from the normal data memory area; and a control circuit which is connected to the non-volatile memory cell array via the other input/output system and permits the normal data stored in the normal data memory area to be output to an outside when the lock data is not stored in the lock bit, but inhibits the normal data stored in the normal data memory area from being output to the outside when the lock data is stored in the lock bit.

[0007]

According to the present invention, external reading of normal data stored in the normal data memory area is permitted when lock data is not stored in the lock bit, so that the normal data can be tested by directly accessing the normal data memory area. When lock data is stored in the lock bit, on the other hand, external reading of normal

data stored in the normal data memory area is inhibited, so that even if the normal data is data to be confidential (e.g., an encryption program), such confidential data can be prevented from being illegitimately read out. Regardless of whether lock data is stored in the lock bit or not, the input/output system that connects the non-volatile memory cell array control to the logic circuit is not cut off. This can allow the logic circuit to always read normal data stored in the normal data memory area.

[0008]

In the invention described above, it is preferable that the normal data memory area and the lock bit should be erased at a time by a common erase command. In this case, normal data is not illegitimately read out after erasing the lock bit, and, unlike in an OTPROM (One Time Programmable Read Only Memory), new normal data can be stored in the normal data memory area after erasure, so that it is possible to easily perform update or the like of a program in the normal data memory area.

[0009]

It is preferable that the normal data memory area and the lock bit should be included in the same non-volatile memory section. In this case, the normal data memory area and the lock bit are formed by memory cells which are included in the same non-volatile memory section, so that useless complication of the structure of a semiconductor device is avoided.

[0010]

[Mode for Carrying Out the Invention]

An embodiment of the invention will be described below referring to the accompanying drawings. Fig. 1 is a block diagram showing the schematic structure of a semiconductor device according to one embodiment of the present invention.

The semiconductor device shown in Fig. 1 is a system LSI or ASIC or the like which has a flash memory section 10 and a CPU (Central Processing Unit) 20 or the like mounted therein, and the flash memory section 10 includes a memory cell array 11 and an input/output control circuit 21. A structure where the input/output control circuit 21 is not included in the flash memory section 10 is feasible.

[0011]

The memory cell array 11 includes multiple memory cells most of which form a normal data memory area 12 while some memory cells form a lock bit 13. The lock bit 13 is constituted by a single bit or a plurality of bits.

[0012]

Normal data such as a program which is executed by the CPU 20 is stored in the normal data memory area 12. Stored in the lock bit 13 is lock data for inhibiting normal data from being read outside. When the lock data is stored in the lock bit 13, therefore, external reading of the normal data is prohibited.

[0013]

Connected to the memory cell array 11 are a word line driver 16 for selecting one of word lines 14 of the multiple memory cells and applying a rated voltage thereto, and a source line driver 17 for applying a rated voltage to source lines 15 of the multiple memory cells.

[0014]

At the time of storing normal data in the normal data memory area 12, the word line driver 16 which has received a program command for the normal data memory area selects one of plural word lines 14 which are connected to the normal data memory area 12 and applies a rated voltage thereto to store the normal data bit by bit. Likewise, at the time of storing lock data in the lock bit 13, the word

line driver 16 which has received a program command for the lock bit selects one of plural word lines 14 which are connected to the lock bit 13 and applies a rated voltage thereto to store the lock data.

[0015]

At the time of erasing normal data from the normal data memory area 12 or erasing lock data from the lock bit 13, the word line driver 16 and the source line driver 17 which have received a common erase command apply a rated voltage all the word lines 14 and source lines 15 to erase the normal data and lock data from the normal data memory area 12 and the lock bit 13 at a time.

[0016]

The CPU 20 is connected to the memory cell array 11 via a data bus 18 (one input/output system). The CPU 20 has an input terminal 22 and an output terminal 24 for a logic circuit (hereinafter called to-be-controlled circuit) other than the memory cell array 11. The CPU 20 generates a control command based on data input via the input terminal 22 from the to-be-controlled circuit and normal data read out via the data bus 18 from the normal data memory area 12, and outputs the control command to the to-be-controlled circuit via the output terminal 24.

[0017]

The input/output control circuit (e.g., multiplexer) 21 is connected to the memory cell array 11 via a data bus 19 (the other input/output system). The input/output control circuit 21 has an input terminal 23 and an output terminal 25 connected to the input terminal and output terminal of a chip. The input/output control circuit 21 is a logic circuit for controlling the input/output data between the memory cell array 11 and an external section.

[0018]

The input/output control circuit 21 will be discussed in detail. The input/output control circuit 21 supplies normal data and lock data, externally input via the input terminal 23, to the memory cell array 11 via the data bus 19. The input/output control circuit 21 permits normal data to be output to the outside via the output terminal 25 when lock data is not stored in the lock bit 13, but inhibits normal data from being output to the outside via the output terminal 25 when lock data is stored in the lock bit 13.

[0019]

According to this embodiment, therefore, the input/output control circuit 21 permits normal data stored in the normal data memory area 12 to be output to the outside when lock data is not stored in the lock bit 13, so that the normal data can be tested by directly accessing the normal data memory area 12. When lock data is stored in the lock bit 13, on the other hand, the input/output control circuit 21 inhibits normal data stored in the normal data memory area 12 from being output to the outside, so that even if the normal data is data to be confidential (e.g., an encryption program), such confidential data can be prevented from being illegitimately read out. Regardless of whether lock data is stored in the lock bit 13 or not, the data bus 18 is not cut off, so that the CPU 20 can always read normal data stored in the normal data memory area 12.

[0020]

According to this embodiment, the normal data memory area 12 and the lock bit 13 are erased at a time by a common erase command, so that normal data is not illegitimately read out after erasing the lock bit 13, and, unlike in an OTPROM, new normal data can be stored in the

normal data memory area 12 after erasure, thus making it possible to easily perform update or the like of a program in the normal data memory area 12.

[Brief Description of the Drawings]

[Fig. 1] It is a block diagram showing the schematic structure of a semiconductor device according to one embodiment of the present invention.

[Explanation of Reference Symbols]

- 10 Flash memory section
- 11 Memory cell array
- 12 Normal data memory area
- 13 Lock bit
- 16 Word line driver
- 17 Source line driver
- 18, 19 Data bus
- 20 CPU
- 21 Input/output control circuit
- 22, 23 Input terminal
- 24, 25 Output terminal

(Fig. 1)

- 10: Flash memory section
- 11: Memory cell array
- 12: Normal data memory area
- 13: Lock bit
- 16: Word line driver
- 17: Source line driver
- 21: Input/output control circuit

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-7372
(P 2 0 0 2 - 7 3 7 2 A)
(43) 公開日 平成14年1月11日 (2002.1.11)

(51) Int. Cl. ⁷	識別記号	F I	テーマコード (参考)		
G06F 15/78	510	G06F 15/78	510	C	5B017
12/14	310	12/14	310	F	5B025
G11C 16/02		G11C 17/00	601	P	5B062

審査請求 未請求 請求項の数 3 O L (全 4 頁)

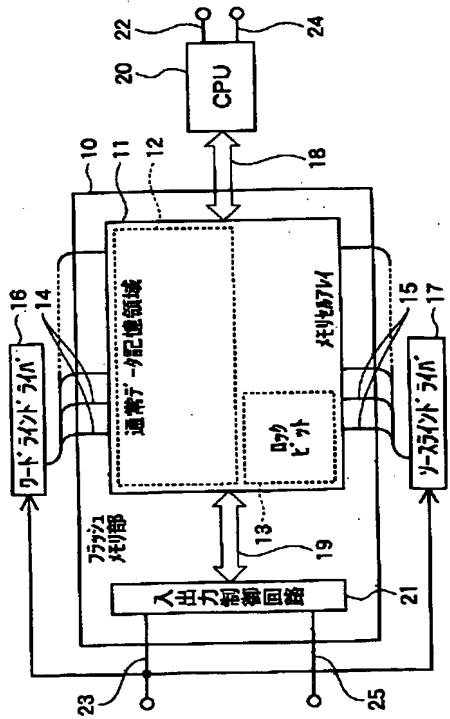
(21) 出願番号	特願2000-186733 (P 2000-186733)	(71) 出願人	000002369 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号
(22) 出願日	平成12年6月21日 (2000.6.21)	(72) 発明者	亀井 輝彦 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		(74) 代理人	100095728 弁理士 上柳 雅誉 (外1名)
		Fターム(参考)	5B017 AA01 BA04 CA12 5B025 AD14 AE10 5B062 AA07 CC01 DD02 EE09 JJ05

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 内蔵する不揮発性メモリにダイレクトアクセスできると共に、不揮発性メモリに記憶されているデータの不正な読み出しを防止できる半導体装置を提供する。

【解決手段】 メモリセルアレイ11に含まれる多数のメモリセルの内の大部分が通常データ記憶領域12を形成する一方、一部がロックビット13を形成する。ロックデータがロックビット13に記憶されていない場合には、通常データ記憶領域12に記憶されている通常データが外部から読み出されるのを入出力制御回路21が許可する一方、ロックデータがロックビット13に記憶されている場合には、通常データ記憶領域12に記憶されている通常データが外部から読み出されるのを入出力制御回路21が禁止する。



【特許請求の範囲】

【請求項1】 複数のメモリセルから形成され、通常データを記憶する通常データ記憶領域、及び、少なくとも1つのメモリセルから形成され、前記通常データ記憶領域に記憶されている通常データを外部から読み出すのを禁止するためのロックデータを記憶するロックビットを含み、2つの入出力系統を有する不揮発性メモリセルアレイと、

一方の入出力系統を介して前記不揮発性メモリセルアレイに接続され、前記通常データ記憶領域から通常データを読み出すロジック回路と、

他方の入出力系統を介して前記不揮発性メモリセルアレイに接続される制御回路であって、ロックデータが前記ロックビットに記憶されていない場合には、前記通常データ記憶領域に記憶されている通常データが外部へ出力されるのを許可する一方、ロックデータが前記ロックビットに記憶されている場合には、前記通常データ記憶領域に記憶されている通常データが外部へ出力されるのを禁止する前記制御回路と、を具備することを特徴とする半導体装置。

【請求項2】 前記通常データ記憶領域と前記ロックビットが共用のイレースコマンドにより一括してイレースされることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記通常データ記憶領域と前記ロックビットが同一の不揮発性メモリ部に含まれていることを特徴とする請求項1又は2記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置に関し、特に、フラッシュメモリ等の不揮発性メモリを混載したシステムLSI (Large Scale Integrated circuit) やASIC (Application Specific Integrated Circuit) 等の半導体装置に関する。

【0002】

【従来の技術】 フラッシュメモリ等の不揮発性メモリを混載したシステムLSIやASIC等の半導体装置においては、不揮発性メモリに記憶されているデータをROMライタ等により書き換えたり、ダイレクトアクセスによりテストすることを容易に行えるように、不揮発性メモリの入出力端子をチップの入出力端子に直接接続するか、又は、バッファ等を介して接続することが多かった。

【0003】

【発明が解決しようとする課題】 しかしながら、このような従来の半導体装置においては、不揮発性メモリに記憶されているデータの書き換えや外部からの読み出しが制限されていなかったため、例えば、不揮発性メモリに記憶されているシリアル番号の不正な書き換えや暗号プログラムの不正な読み出しが容易に行われてしまうという不具合を有していた。

【0004】 このため、近年、セクタやチップ全体をロックすることにより、記憶されているデータの不正な書き換えを防止できる機能を有した汎用フラッシュメモリが提供されている。しかしながら、このフラッシュメモリにおいても、記憶されているデータの不正な読み出しが容易に行われてしまうという不具合を依然として残していた。

【0005】 そこで、上記の点に鑑みて、本発明は、内蔵する不揮発性メモリにダイレクトアクセスできると共に、不揮発性メモリに記憶されているデータの不正な読み出しを防止できる半導体装置を提供することを目的とする。

【0006】

【課題を解決するための手段】 以上の課題を解決するため、本発明に係る半導体装置は、複数のメモリセルから形成され通常データを記憶する通常データ記憶領域及び少なくとも1つのメモリセルから形成され通常データ記憶領域に記憶されている通常データを外部から読み出すのを禁止するためのロックデータを記憶するロックビットを含み2つの入出力系統を有する不揮発性メモリセルアレイと、一方の入出力系統を介して不揮発性メモリセルアレイに接続され、通常データ記憶領域から通常データを読み出すロジック回路と、他方の入出力系統を介して不揮発性メモリセルアレイに接続される制御回路であって、ロックデータがロックビットに記憶されていない場合には、通常データ記憶領域に記憶されている通常データが外部へ出力されるのを許可する一方、ロックデータがロックビットに記憶されている場合には、通常データ記憶領域に記憶されている通常データが外部へ出力されるのを禁止する制御回路とを具備する。

【0007】 上記発明によれば、ロックビットにロックデータを記憶しなければ、通常データ記憶領域に記憶されている通常データを外部から読み出すのが許可されるので、通常データ記憶領域にダイレクトアクセスして通常データをテストできる。一方、ロックビットにロックデータを記憶すれば、通常データ記憶領域に記憶されている通常データを外部から読み出すのが禁止されるので、通常データが秘匿されるべきデータ（例えば、暗号プログラム）であっても、このような秘匿データが不正に読み出されるのを防止できる。尚、ロックデータがロックビットに記憶されているか否かに関わらず、不揮発性メモリセルアレイとロジック回路を結ぶ入出力系統が遮断されない。このため、ロジック回路は、常時、通常データ記憶領域に記憶されている通常データを読み出すことができる。

【0008】 以上の発明においては、通常データ記憶領域とロックビットが共用のイレースコマンドにより一括してイレースされることが好ましい。この場合には、ロックビットのイレース後に、通常データが不正に読み出されることが無いと共に、OTPROM (One Time Pro

10

20

30

40

50

grammable Read Only Memory) と異なり、イレース後の通常データ記憶領域に新たな通常データを記憶できるので、通常データ記憶領域におけるプログラムの更新等を容易に行うことができる。

【0009】また、通常データ記憶領域とロックビットが同一の不揮発性メモリ部に含まれていることが好ましい。この場合には、同一の不揮発性メモリ部に含まれるメモリセルにより通常データ記憶領域とロックビットが形成されることとなり、半導体装置における構成の徒な複雑化を避けられる。

【0010】

【発明の実施の形態】以下、添付図面を参照しながら本発明の実施の形態について説明する。図1は、本発明の一実施形態に係る半導体装置の概略構成を示すブロック図である。図1に示す半導体装置は、フラッシュメモリ部10やCPU (Central Processing Unit) 20等を混載したシステムLSI又はASIC等であり、フラッシュメモリ部10には、メモリセルアレイ11と入出力制御回路21が含まれている。尚、入出力制御回路21がフラッシュメモリ部10に含まれない構成であっても良い。

【0011】メモリセルアレイ11は多数のメモリセルを含んでおり、大部分のメモリセルが通常データ記憶領域12を形成する一方、一部のメモリセルがロックビット13を形成している。ロックビット13は、1つ又は複数のビットにより構成される。

【0012】通常データ記憶領域12には、CPU20が実行するプログラム等の通常データが記憶される。一方、ロックビット13には、通常データを外部へ読み出すのを禁止するためのロックデータが記憶される。従って、ロックデータをロックビット13に記憶した場合には、通常データを外部から読み出すのが禁止されることとなる。

【0013】メモリセルアレイ11には、多数のメモリセルのワードライン14の内の1つを選択して規定電圧を印加するためのワードラインドライバ16と、多数のメモリセルのソースライン15に規定電圧を印加するためのソースラインドライバ17とが接続されている。

【0014】通常データ記憶領域12に通常データを記憶する際には、通常データ記憶領域用のプログラムコマンドを受けたワードラインドライバ16が、通常データ記憶領域12に繋がる複数のワードライン14の内の1つを選択して規定電圧を印加し、1ビットずつ通常データを記憶していく。同様に、ロックビット13にロックデータを記憶する際には、ロックビット用のプログラムコマンドを受けたワードラインドライバ16が、ロックビット13に繋がる複数のワードライン14の内の1つを選択して規定電圧を印加し、ロックデータを記憶する。

【0015】一方、通常データ記憶領域12から通常デ

ータを消去したり、ロックビット13からロックデータを消去する際には、共用のイレースコマンドを受けたワードラインドライバ16及びソースラインドライバ17が、全てのワードライン14及びソースライン15に規定電圧を印加して、通常データ記憶領域12及びロックビット13から通常データ及びロックデータを一括して消去する。

【0016】メモリセルアレイ11には、データバス18 (一方の入出力系統) を介してCPU20が接続されている。CPU20は、メモリセルアレイ11以外のロジック回路 (以下、被制御回路と称する) 用の入力端子22及び出力端子24を有している。CPU20は、被制御回路から入力端子22を介して入力されたデータと、通常データ記憶領域12からデータバス18を介して読み出した通常データとに基づいて制御コマンドを生成し、出力端子24を介してこの制御コマンドを被制御回路へ出力する。

【0017】メモリセルアレイ11には、データバス19 (他方の入出力系統) を介して入出力制御回路 (例えば、マルチプレクサ) 21が接続されている。入出力制御回路21は、チップの入力端子及び出力端子に接続された入力端子23及び出力端子25を有している。入出力制御回路21は、メモリセルアレイ11と外部との間のデータの入出力を制御するためのロジック回路である。

【0018】ここで、入出力制御回路21について詳細に説明する。入出力制御回路21は、外部から入力端子23を介して入力された通常データ及びロックデータをデータバス19を介してメモリセルアレイ11へ供給する。また、入出力制御回路21は、ロックデータがロックビット13に記憶されていない場合には、出力端子25を介して通常データを外部へ出力するのを許可する一方、ロックデータがロックビット13に記憶されている場合には、出力端子25を介して通常データを外部へ出力するのを禁止する。

【0019】従って、本実施形態によれば、ロックビット13にロックデータを記憶しなければ、入出力制御回路21が通常データ記憶領域12に記憶されている通常データの外部への出力を許可するので、通常データ記憶領域12にダイレクトアクセスして通常データをテストできる。一方、ロックビット13にロックデータを記憶すれば、入出力制御回路21が通常データ記憶領域12に記憶されている通常データの外部への出力を禁止するので、通常データが秘匿されるべきデータ (例えば、暗号プログラム) であっても、このような秘匿データが外部から不正に読み出されるのを防止できる。尚、ロックデータがロックビット13に記憶されているか否かに関わらず、データバス18は遮断されないので、CPU20は、常時、通常データ記憶領域12に記憶されている通常データを読み出すことができる。

【0020】また、本実施形態によれば、通常データ記憶領域12とロックビット13が共用のイレースコマンドにより一括してイレースされる設定であるので、ロックビット13のイレース後に、通常データが不正に読み出されることが無いと共に、OTPROMと異なり、イレース後の通常データ記憶領域12に新たな通常データを記憶できるので、通常データ記憶領域12におけるプログラムの更新等を容易に行うことができる。

【0021】

【発明の効果】以上説明したように、本発明によれば、10 内蔵する不揮発性メモリにダイレクトアクセスできると共に、不揮発性メモリに記憶されているデータの不正な読み出しを防止できる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係る半導体装置の概略構成を示すブロック図である。

【符号の説明】

- 10 フラッシュメモリ部
- 11 メモリセルアレイ
- 12 通常データ記憶領域
- 13 ロックビット
- 16 ワードラインドライバ
- 17 ソースラインドライバ
- 18、19 データバス
- 20 CPU
- 21 入出力制御回路
- 22、23 入力端子
- 24、25 出力端子

【図1】

